

平面三次元 電磁界解析ソフトウェア Sonnet Suites V11

(有)ソネット技研

www.sonnetsoftware.co.jp

043-463-6663

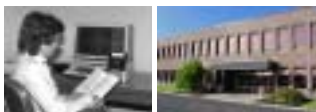
info@sonnetsoftware.co.jp

Agenda

- 歴史と実績
 - 歴史
 - 高周波分野の実績
- 半導体への応用
- 特徴
- 価格帯

1983

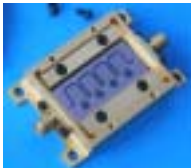
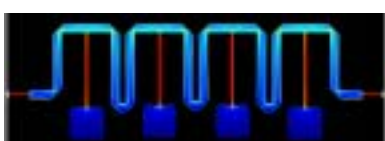
- 1983 アマチュア向けのアンテナ設計プログラムで創立
- 1983-85 Roger Harrington教授の元でアルゴリズムの研究
- 2004 ソネット技研が日本での販売サポートを担当



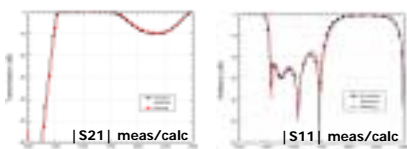
Agenda

- 歴史と実績
 - 歴史
 - 高周波分野の実績
- 半導体への応用
- 特徴
- 価格帯

超伝導材料を使ったマイクロ波フィルタ



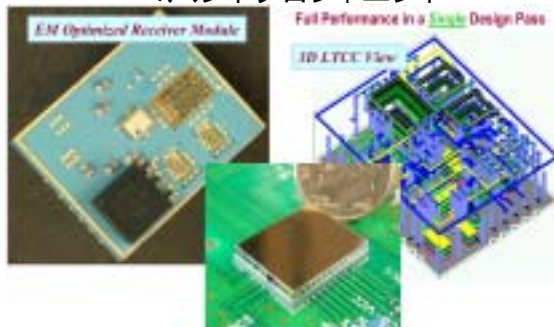
Sonnet Calculated Current Density at 1.5 GHz



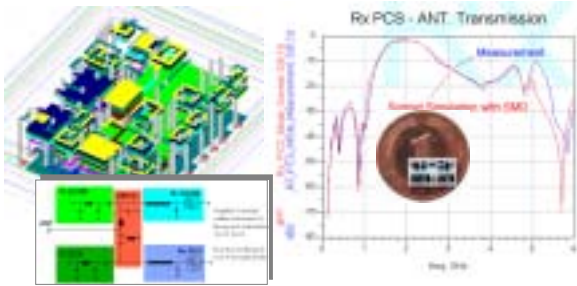
Successful design achieved in first fabrication!

Motorola社

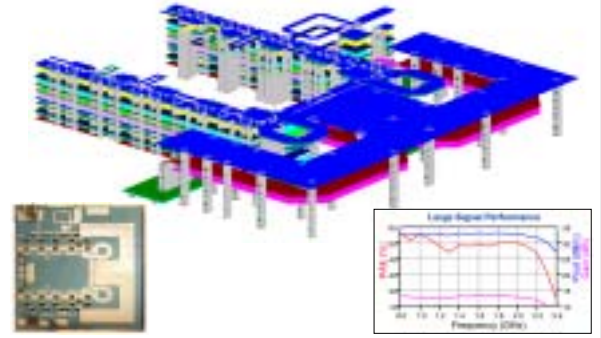
低温焼成セラミックを使った 4バンドフロントエンド



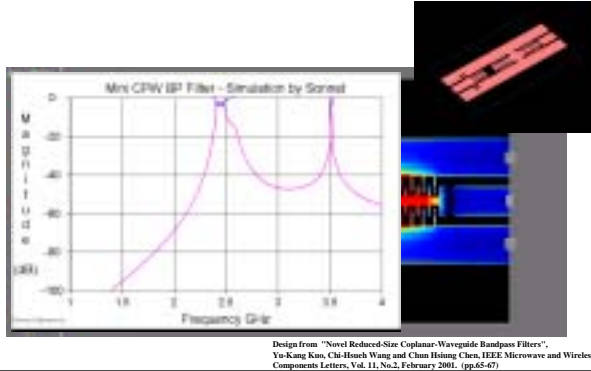
EPCOS社 低温焼成セラミックを使った 2バンドフロントエンド



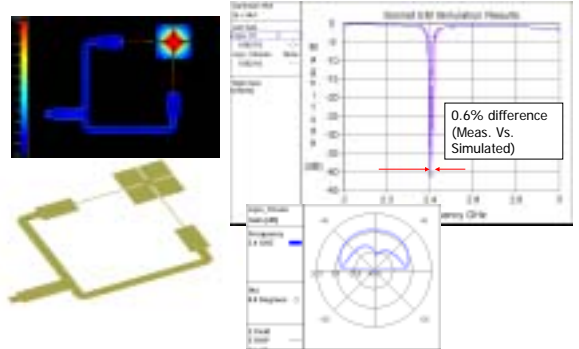
Motorola社 PHEMT Amplifier



コプレナ構造のフィルタ



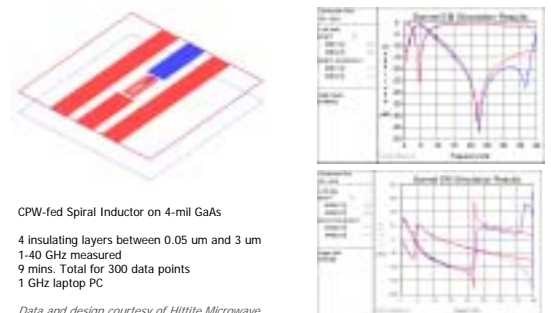
平面アンテナ



Agenda

- 歴史と実績
- 半導体への応用
 - EMC問題
 - SI問題
 - スパイラルインダクタ
- 特徴
- 価格帯

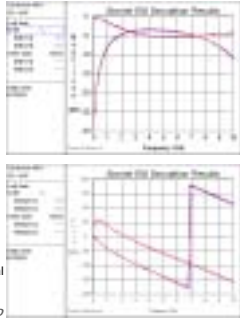
Spiral Inductors on GaAs



Spiral Inductors on Silicon



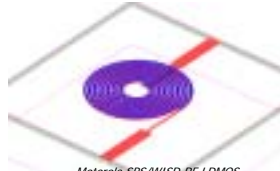
Motorola SPS/WISD RF LDMOS



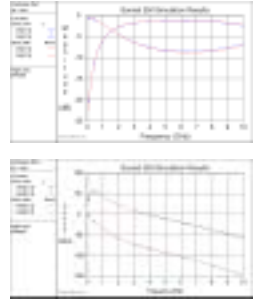
Spiral Inductor on 100 um Silicon (step-graded conductivity in substrate)

5 insulating layers between 1 um and 3 um
1-10 GHz measured
250 mins. Total for 300 data points (thick metal modeled)
1 GHz laptop PC
Data and design courtesy of Motorola SPS/WISD

Spiral Inductors on Silicon



Motorola SPS/WISD RF LDMOS



9.25-turn Circular Spiral Inductor on 100 um Silicon (step-graded conductivity in substrate)

5 insulating layers between 1 um and 3 um
1-10 GHz measured
141 mins. Total for 300 data points (thick metal modeled)
900 MHz Sun Sparc Blades 2000 workstation

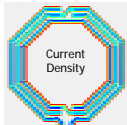
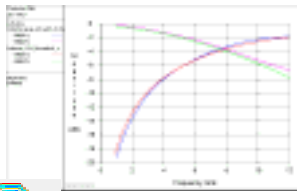
Data and design courtesy of Motorola SPS/WISD

Differential Spiral Inductors



Spiral inductor on lossy Si

Design and data courtesy
Realtek Semiconductor



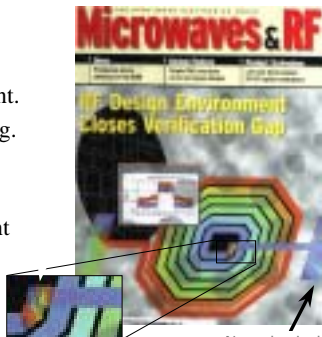
Measurement and Sonnet simulation result

Agenda

- 歴史と実績
- 半導体への応用
- 特徴
 - 解析エンジン
 - 斜め曲線導体の精密な解析
 - 集中定数部品との精密なインターフェース
 - 超高速周波数スイープ
 - SPICE系シミュレータへのexportが容易
 - インターフェース、環境
 - 主な高周波設計環境とのインターフェース
 - Agilent ADS, AWR MicrowaveOffice, Eagleware GENESYS
 - DXF, GDSIIファイルのimport, export
 - Cadence virtuosoとのインターフェース
- 価格帯

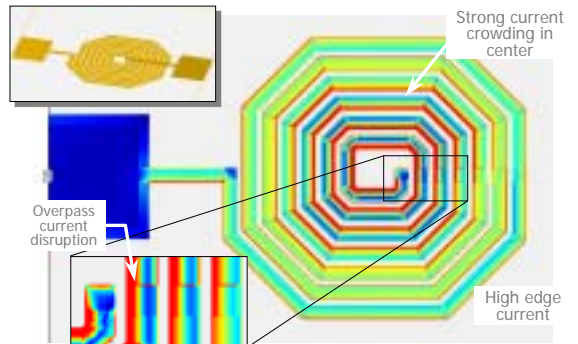
斜め曲線導体の精密な解析

- Momentum OK for first analysis, but....
- No high edge current.
- No current crowding.
- Via current weird.
- No cross-over discontinuity current disruption.



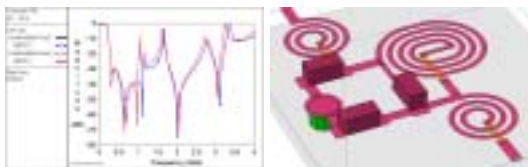
Non-physical current

斜め曲線導体の精密な解析



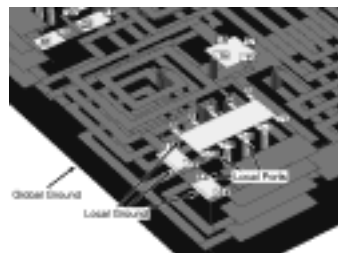
集中定数部品との 精密なインターフェース

- 集中定数部品を含めた電磁界解析、、、、
- 集中定数部品を含めた精密な電磁界解析、、、、



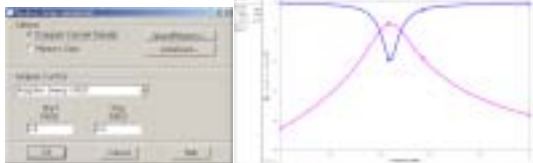
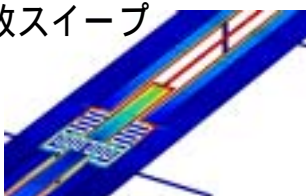
Local Ground De-embedding

- Local ground needed for SMD/SMT.
- Exact multi-port de-embedding now available in Beta.
- Contact us if you have critical immediate need.



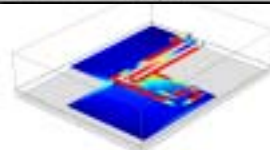
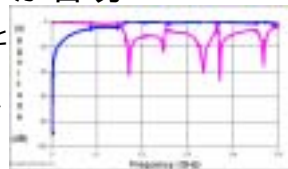
超高速周波数スイープ

- 周波数範囲を指定するだけで
- 必要な周波数を自動的に選択して最速の解析を実行する
- デカード単位の広帯域でも適用可能



SPICE系シミュレータへの exportが容易

- PCの筐体内の配線とグラウンド導体の解析
- DCから500MHZまで、13周波数、40秒
- SPICEデータに変換するためには
 - DCデータ
 - 十分に広帯域なデータ



SPICE系シミュレータへの exportが容易

- 25秒でSPICE可読なネットリストファイルに変換

```

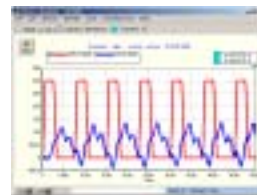
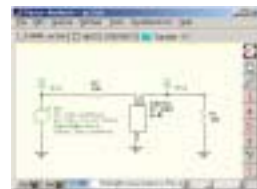
.SUBCKT pc 1 2 3
ER1N i101 1 1 101 1.000000000000000000000000
GR1P i101 101 101 101 0.010000000000000000000000

ER2N i201 2 2 201 1.000000000000000000000000
GR2P i201 201 201 201 0.010000000000000000000000

* Coefficient set (1, 1) 12 Coefficients
G_101P np10101 3 i101 3 1.000000000000000000000000
G_101N nn10101 3 i101 3 1.000000000000000000000000
E_101P a10100 101 np10101 3 1.000000000000000000000000
E_101N a10100 102 nn10101 3 1.000000000000000000000000
* Coefficient: 1 SINGLE
R_1_101 np10101 np10102 0.0069675263354547980000
    
```



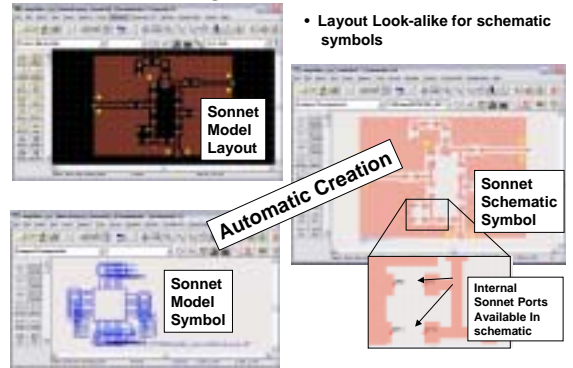
SPICEで 時間軸解析



Agenda

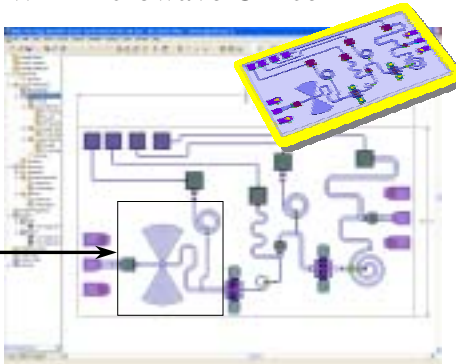
- 歴史と実績
- 半導体への応用
- 特徴
 - 解析エンジン
 - 斜め曲線厚導体の精密な解析
 - 集中定数部品との精密なインターフェース
 - 超高速周波数スイープ
 - SPICE系シミュレータへのexportが容易
 - インターフェース
 - 主な高周波設計環境とのインターフェース
 - Agilent ADS, AWR MicrowaveOffice, Eagleware GENESYS
 - Cadence virtuosoとのインターフェース
- 価格帯

Agilent ADS



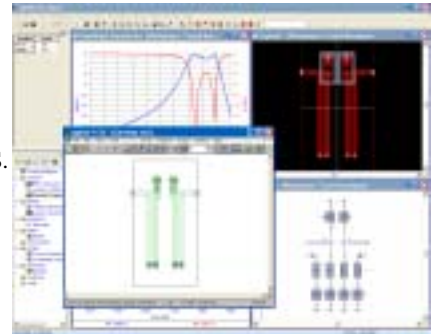
AWR Microwave Office

- Two stage amp layout in MWO.
- Select part of circuit.



Eagleware GENESYS

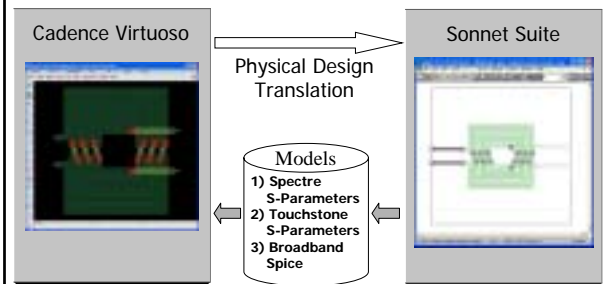
- Combine filter.
- Entire analysis run by GENESYS.
- User can then tune the caps.



New Cadence Interface

- Substantial effort has been devoted to new Cadence Virtuoso interface.
- We worked closely with several large customers.
- Interface optimized for high volume, high pressure design flows.
- Interface can save and restore "state".
- Substrate specified via a GUI.

New Cadence Interface



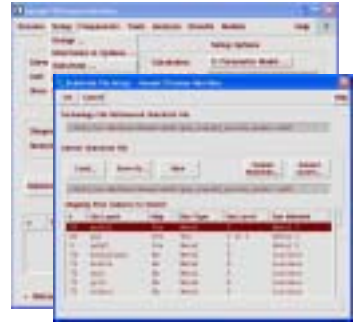
New Cadence Interface

- Based on design of Cadence Analog Design Environment.
- User moves left to right in menus.



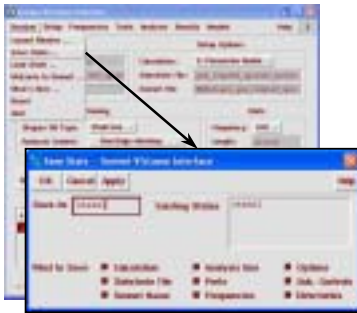
Cadence Interface – Substrate

- Layers in Cadence mapped to Sonnet.
- Layers in Sonnet defined.
- Materials in Sonnet defined.



Cadence Interface - Save State

- All data from dialog boxes can be saved in a state.
- Other states can be loaded instead.
- Location of saved states in Options menu.



Agenda

- 歴史と実績
- 半導体への応用
- 特徴
- 価格帯

価格帯

必要なオプションや環境によって価格は大きく変わります。お早めにお問い合わせください。

Linux版network license

435万円
(解析エンジン、電流分布可視化、SPICE抽出、DXF,GDS,Cadenceインターフェース)

unix版network license

615万円
(解析エンジン、電流分布可視化、SPICE抽出、DXF,GDS,Cadenceインターフェース)

PC Windows版

約150万

約102万

約54万

約216 ~ 357万

無料

トレーニングセミナー参加者は無料

Conclusion

- 20年の高周波分野での実績がある
- 半導体中の高速高周波回路の解析に適している
- 精度が高く、広帯域に適用でき、SPICEへのリンクが容易
- 既存の設計環境へのインターフェースがある。
- 価格は60 ~ 600万、要問合せ！